

Docket No.: L&L-10054

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date indicated below.

By: Markus Nollf Date: July 25, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Markus Hammes, et al.
Applic. No. : 10/607,543
Filed : June 26, 2003
Title : Trimming Method for a Transceiver Using Two-Point Modulation

CLAIM FOR PRIORITY

Commissioner for Patents,
P.O. Box 1450, Alexandria, VA 22313-1450

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 101 04 775.4, filed February 2, 2001.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

Markus Nollf

MARKUS NOLFF
REG. NO. 37,006

For Applicant

Date: July 25, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/av

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 101 04 775.4

Anmeldetag: 02. Februar 2001

Anmelder/Inhaber: Infineon Technologies AG,
München/DE

Bezeichnung: Abgleichverfahren für einen Transceiver mit
Zwei-Punkt-Modulation

IPC: H 03 J, G 01 R

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 26. Juni 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Hof

Beschreibung

Abgleichverfahren für einen Transceiver mit Zwei-Punkt-Modulation

Die Erfindung betrifft ein Abgleichverfahren für nach dem
5 Prinzip der Zwei-Punkt-Modulation arbeitende PLL-Schaltungen,
und bezieht sich insbesondere auf ein Verfahren zum
Amplitudenabgleich in Transceivern für Mobilfunksysteme mit
einer nach dem Prinzip der Zwei-Punkt-Modulation
arbeitenden PLL-Schaltung im Sender und einem nach dem
10 Limiter-Diskriminator-Prinzip arbeitenden Empfänger.

Eine aufwandsarme Realisierung eines Senderkonzeptes für
Transceiver in Mobilfunksystemen bieten Sender mit einem nach
dem an sich bekannten Prinzip der Zwei-Punkt-Modulation ar-
beitenden Modulator, bei dem es möglich ist, eine PLL (Phase-
15 Locked-Loop = Nachlaufsynchronisation)-Schaltung mit Signalen
zu modulieren, die eine Bandbreite größer als die PLL-Band-
breite besitzen, und dadurch ein frequenzunabhängiges Über-
tragungsverhalten der PLL-Schaltung zu erzielen.

Fig. 3 zeigt vereinfacht eine bekannte, nach dem Prinzip der
20 Zwei-Punkt-Modulation arbeitende PLL-Schaltung für einen sol-
chen Sender mit einem Phasenfrequenzdetektor 1, einer La-
dungspumpe 2, einem Schleifenfilter 3 und einem spannungsge-
steuerten Oszillator (VCO) 5 im Vorwärtszweig und einem Fre-
quenzteiler 6 mit einem Teilerwert N im Rückführungszweig des
25 Modulators.

Zur Erzeugung der Zwei-Punkt-Modulation werden an einem vor
dem spannungsgesteuerten Oszillator 5 im Vorwärtszweig lie-
genden Summationspunkt 4, der einen Hochpaßpunkt repräsen-
tiert (eine analoge Modulation, die an diesem Punkt einge-
30 speist wird, wirkt mit einer Hochpaßfilterung durch die ge-
schlossene Regelschleife auf den Ausgang), eine analoge Modu-
lation und an dem einen Tiefpaßpunkt repräsentierenden Fre-
quenzteiler 6 im Rückführungszweig eine digitale Modulation

in die vor dem eigentlichen Sendevorgang auf die Kanalmittenfrequenz eingeschwungene PLL-Schaltung eingebracht. Die beiden Modulationssignale überlagern sich sodann am Ausgang der PLL-Schaltung derart, daß das gewünschte frequenzunabhängige Verhalten resultiert.

Bei dieser Art des Senderkonzeptes bleibt die PLL-Regelschleife geschlossen. Aufgrund von Anforderungen an das Rauschverhalten wird die Bandbreite der PLL-Regelschleife zudem kleiner ausgelegt, als dies zur Übertragung modulierter Daten erforderlich wäre. Daher wird neben der reinen digitalen Modulation die analoge Modulation zur Kompensation der eingeschränkten Bandbreite herangezogen, wobei zusätzlich zu einer zeitlichen Gleichphasigkeit der analogen und der digitalen Modulation der Übereinstimmung der Amplituden dieser beiden Modulationssignale wesentliche Bedeutung zukommt.

Aufgrund von Herstellungstoleranzen bei den zur analogen Modulation eingesetzten Komponenten im Hinblick auf beispielsweise die Modulationssteilheit, die Erzeugung der Modulationsspannung und dergleichen ist es erforderlich, nach der Herstellung einen Amplitudenabgleich zwischen der analogen und der digitalen Modulation durchzuführen. Sollen darüber hinaus auch durch Temperaturänderungen bedingte Einflüsse berücksichtigt werden, muß dieser Amplitudenabgleich vor jedem Sendevorgang erfolgen.

Ein bekanntes Abgleichverfahren besteht darin, die beiden Modulationen einzubringen, das Ausgangssignal der PLL-Schaltung einem externen Meßempfänger zuzuführen, dort zu demodulieren und einen entsprechenden Amplitudenabgleich vorzunehmen. Aufgrund des nichtlinearen Verhaltens des spannungsgesteuerten Oszillators 5 bezüglich der Frequenz als Funktion der Spannung muß ein solcher Amplitudenabgleich jedoch für jeden einer Vielzahl von Kanälen durchgeführt werden, welches zu einer langen Meßdauer führt und darüber hinaus die Ablage der Abgleichinformationen in einem Speicher erfordert. Ferner

können hierbei aus Temperaturänderungen resultierende Einflüsse nicht berücksichtigt werden.

Ein weiteres bekanntes Abgleichverfahren beinhaltet den Empfang und die Demodulation durch den Empfängerabschnitt des Sender/Empfängers. Hierzu ist jedoch eine vollständige zweite PLL-Schaltung im Empfänger erforderlich, die es zusätzlich zu einem wesentlich höheren Schaltungsaufwand und dadurch bedingt höheren Kosten notwendig macht, bei Einsatz eines Heterodyn-Empfängers diesen auf eine Frequenz einzustellen, die der Differenz zwischen Sendefrequenz und Zwischenfrequenz entspricht.

Die bekannten Abgleichverfahren sind somit dahingehend nachteilig, daß mit diesen zum einen eine lange Meßdauer und zum anderen ein hoher Geräte- bzw. Schaltungsaufwand mit entsprechend hohen Kosten verbunden ist.

Der Erfindung liegt daher die Aufgabe zugrunde, ein Abgleichverfahren für einen Sender/Empfänger mit Zwei-Punkt-Modulation bereitzustellen, welches aufwandsarm einen schnellen Amplitudenabgleich ermöglicht und die Berücksichtigung von Temperatureinflüssen erlaubt.

Diese Aufgabe wird erfindungsgemäß durch ein Verfahren gemäß Patentanspruch 1 gelöst.

Vorteilhafte Weiterbildungen des Verfahrens sind Gegenstand der beigefügten Unteransprüche.

Erfindungsgemäß ist somit ein Abgleichverfahren für einen Sender/Empfänger mit einer nach dem Prinzip der Zwei-Punkt-Modulation arbeitenden PLL-Schaltung gekennzeichnet durch die nachfolgenden Schritte: Wählen der Amplitude eines analogen Modulationssignals entsprechend dem Modulationshub eines festgelegten digitalen Modulationssignals; Einprä-

gen einer vorbestimmten Datenfolge des analogen Modulations-
signals; Ermitteln des Modulationshubs des analogen Modulationssignals an einem Ausgang des Empfängers; und Korrigieren
der Amplitude des analogen Modulationssignals in Übereinstimmung mit der Differenz zwischen dem Modulationshub des digitalen Modulationssignals und dem ermittelten Modulationshub
des analogen Modulationssignals.

Vor der Durchführung des Abgleichvorgangs wird die PLL-Schaltung vor einem Sendevorgang auf eine Kanalmittenfrequenz
eingestellt, um einen eingeschwungenen Zustand bereitzustellen.

Bevorzugt wird das digitale Modulationssignal während des Abgleichvorgangs deaktiviert, um eine Ausregelung der analogen Modulation bei der Wahl einer Anfangsamplitude des analogen Modulationssignals zu unterdrücken.

Weiter bevorzugt wird die vorbestimmte Datenfolge des analogen Modulationssignals an einem vorbestimmten Hochpaßpunkt in den Vorwärtszweig der PLL-Schaltung eingeprägt, und wird das digitale Modulationssignal an einem vorbestimmten Tiefpaßpunkt in den Rückführungszweig der PLL-Schaltung eingeprägt, wodurch eine für das Verhalten der Anordnung vorteilhafte Gesamtübertragungsfunktion der PLL-Schaltung resultiert.

In besonders geeigneter Weise wird hierbei das digitale Modulationssignal direkt in einen ersten Frequenzteiler eingeprägt.

Wird das Ausgangssignal der PLL-Schaltung in einen in einem aus dem Rückführungszweig abzweigenden Signalweg liegenden zweiten Frequenzteiler geleitet, in dem zweiten Frequenzteiler geteilt und sodann als eines von Eingangssignalen dem Empfänger zugeführt, kann eine vorteilhaft eine zweite PLL-Schaltung im Empfänger entfallen.

Bevorzugt wird hierbei der Teilerwert des zweiten Frequenzteilers derart gewählt, daß die Ausgangsfrequenz des zweiten Frequenzteilers der Zwischenfrequenz des Empfängers entspricht.

- 5 Alternativ kann als Teilerwert des zweiten Frequenzteilers ein ganzzahliger Wert gewählt werden derart, daß die Ausgangsfrequenz des zweiten Frequenzteilers im wesentlichen in der Nähe der Zwischenfrequenz des Empfängers liegt, woraus sich unter Berücksichtigung des tatsächlichen Frequenzbereichs des Empfängers ein zusätzlicher Freiheitsgrad für die Wahl des Teilerwerts des zweiten Frequenzteilers ergibt.

Die Erfindung wird nachstehend anhand eines bevorzugten Ausführungsbeispiels unter Bezugnahme auf die beigefügte Zeichnung näher beschrieben. Es zeigen:

Fig. 1 eine nach dem Prinzip der Zwei-Punkt-Modulation arbeitende PLL-Schaltungsanordnung, bei der ein Abgleichverfahren für einen Sender/Empfänger unter Verwendung der Zwei-Punkt-Modulation gemäß einem bevorzugten Ausführungsbeispiel anwendbar ist;

Fig. 2 ein vereinfachtes Ablaufdiagramm des Abgleichverfahrens gemäß dem bevorzugten Ausführungsbeispiel; und

Fig. 3 vereinfacht eine bekannte, nach dem Prinzip der Zwei-Punkt-Modulation arbeitende PLL-Schaltung.

Fig. 1 zeigt eine nach dem Prinzip der Zwei-Punkt-Modulation arbeitende PLL-Schaltungsanordnung, bei der ein Abgleichverfahren für einen Sender/Empfänger (Transceiver) unter Verwendung der Zwei-Punkt-Modulation gemäß einem bevorzugten Ausführungsbeispiel anwendbar ist.

Wie bei der bekannten PLL-Schaltung gemäß Fig. 2 sind bei der die PLL-Schaltung nach Fig. 1 ein Phasenfrequenzdetektor 1, eine Ladungspumpe 2, ein Schleifenfilter 3, ein Summationspunkt 4 und ein spannungsgesteuerter Oszillator 5 im Vorwärtszweig sowie ein erster Frequenzteiler 6 mit einem ersten Teilerwert N_1 im Rückführungszweig der PLL-Schaltung vorgesehen, und befindet sich die PLL-Schaltung vor einem Sendevorgang ebenfalls bereits in einem auf die Kanalmittenfrequenz eingeschwungenen Zustand.

10 Darüber hinaus ist in einem nach dem ersten Frequenzteiler 6 aus dem Rückführungszweig der PLL-Schaltung abzweigenden Signalweg ein zweiter Frequenzteiler 7 mit einem zweiten Teilerwert N_2 vorgesehen, dem ein FM-Demodulator 8 als Teil eines an sich bekannten, nach dem Limiter-Diskriminator-Prinzip
15 arbeitenden (nicht dargestellten) Heterodyn-Empfängers nachgeschaltet ist.

Nachstehend wird die Funktionsweise der in Fig. 1 gezeigten Schaltungsanordnung näher beschrieben.

An einem ersten Eingang des Phasenfrequenzdetektors 1 wird
20 der PLL-Schaltung zunächst eine Referenzfrequenz f_R zugeführt. Die Referenzfrequenz f_R wird in dem Phasenfrequenzdetektor 1 mit der Frequenz im Rückführungsweg hinter dem ersten Frequenzteiler 6 verglichen und es wird ein Steuersignal erzeugt, welches in der Ladungspumpe 2, dem Schleifenfilter 3
25 und dem spannungsgesteuerten Oszillator 5 auf bekannte Art und Weise verarbeitet wird. Am Ausgang des spannungsgesteuerten Oszillators erscheint somit ein Ausgangssignal der Frequenz f_{VCO} . Das Ausgangssignal f_{VCO} des spannungsgesteuerten Oszillators 5 wird dem im Rückführungszweig der PLL-Schaltung
30 liegenden ersten Frequenzteiler 6 mit dem Teilerwert N_1 zugeführt, dessen Ausgang demzufolge ein Signal mit der Frequenz f_{VCO}/N_1 liefert.

Zur Erzeugung der Zwei-Punkt-Modulation wird an dem vor dem spannungsgesteuerten Oszillator 5 im Vorwärtszweig der PLL-Schaltung liegenden Summationspunkt 4 eine analoge Modulation und an dem ersten Frequenzteiler 6 im Rückführungszweig der PLL-Schaltung eine digitale Modulation in die PLL-Schaltung eingebracht.

Das digital modulierte Ausgangssignal f_{vco}/N_1 des ersten Frequenzteilers 6 wird sodann einem zweiten Eingang des Phasenfrequenzdetektors 1 und einem in einem aus dem Rückführungszweig der PLL-Schaltung nach dem ersten Frequenzteiler 6 verzweigenden Signalweg liegenden zweiten Frequenzteiler 7 mit dem Teilerwert N_2 zugeführt.

Der zweite Frequenzteiler 7 teilt das Ausgangssignal f_{vco}/N_1 des ersten Frequenzteilers 6 entsprechend seinem Teilerwert N_2 , so daß der Ausgang des zweiten Frequenzteilers 7 ein weiter geteiltes Ausgangssignal der Frequenz $f_{vco}/(N_2*N_1)$ liefert.

Das Ausgangssignal $f_{vco}/(N_2*N_1)$ des zweiten Frequenzteilers 7 wird sodann dem nachgeschalteten FM-Demodulator 8 zugeführt und durch diesen demoduliert.

Bevorzugt wird hierbei der Teilerwert N_2 des zweiten Frequenzteilers 7 so gewählt, daß die Ausgangsfrequenz $f_{vco}/(N_2*N_1)$ der Zwischenfrequenz des Heterodyn-Empfängers entspricht, wodurch ein zweiter vollständiger PLL-Regelkreis im Empfänger zum Heruntermischen des Ausgangssignals f_{vco} des spannungsgesteuerten Oszillators 5 vorteilhaft entfallen kann.

Da aufgrund möglicher Frequenzoffsets der Empfänger im allgemeinen für einen größeren Frequenzbereich geeignet ist, kann der Teilerwert N_2 des zweiten Frequenzteilers 7 alternativ auch so gewählt werden, daß dessen Ausgangsfrequenz $f_{vco}/(N_2*N_1)$, einem Frequenzoffset entsprechend, im wesentlichen in der Nähe der Zwischenfrequenz liegt. Die genaue Lage

der Ausgangsfrequenz $f_{vco}/(N_2 \cdot N_1)$ ist jedoch bekannt und kann daher entsprechend berücksichtigt werden.

Hieraus resultiert vorteilhaft ein zusätzlicher Freiheitsgrad für die Wahl des Teilerwerts N_2 , wie nachstehend noch zu erläutern ist.

Das Ausgangssignal des Frequenzteilers 7 ist ferner ein digitales Signal. Da der nachgeschaltete Empfänger nach dem Limiter-Diskriminator-Prinzip arbeitet und zur Weiterverarbeitung der wertdiskreten, zeitkontinuierlichen Ausgangssignale des Limiters zudem sowohl in digitaler als auch analoger Bauweise ausgeführt sein kann, eignet sich bei einer Einspeisung nach dem Limiter infolgedessen das digitale Ausgangssignal des Frequenzteilers 7 als Eingangssignal für diesen Empfänger.

Es wird angemerkt, daß bei Verarbeitung komplexwertiger Signale äquivalent zu den komplexwertigen Limiter-Ausgangssignalen zwei um 90° phasenverschobene Ausgangssignale des zweiten Frequenzteilers 7 benötigt werden.

Eine derartige Ausgestaltung ist insbesondere bei geradzahligem Teilerwerten N_2 möglich, welche aufgrund des vorstehend erwähnten, zusätzlichen Freiheitsgrads vorteilhaft wählbar sind.

Nachstehend wird das auf die vorstehend beschriebene PLL-Schaltung anwendbare Abgleichverfahren unter Bezugnahme auf das Ablaufdiagramm nach Fig. 2 näher beschrieben.

In einem ersten Schritt S1 wird die PLL-Schaltung vor einem Sendevorgang vorbereitend auf die Kanalmittenfrequenz eingestellt. Eine solche Einstellung ist betriebsbedingt auch ohne Durchführung des Abgleichverfahrens erforderlich.

Sodann werden in einem zweiten Schritt S2 eine analoge Modulation und eine digitale Modulation eingeprägt, wie vorstehend beschrieben wurde.

5 In einem dritten Schritt S3 wird die an dem ersten Frequenzteiler 6 eingebrachte digitale Modulation deaktiviert und die Amplitude des an dem Summationspunkt 4 eingebrachten analogen Modulationssignals so gewählt, daß sie dem eingestellten Modulationshub des digitalen Modulationssignals, welches aufgrund seiner digitalen Form keine Toleranzen aufweist, entspricht.
10

Die digitale Modulation wird somit während des Abgleichvorgangs deaktiviert und nur die analoge Modulation verwendet. Da die geschlossene PLL-Regelschleife die analoge Modulation ausregeln würde, muß die Bewertung des Einflusses dieser Modulation in der Einschwingphase zu vorab festgelegten Zeiten erfolgen.
15

In einem vierten Schritt S4 wird sodann eine geeignete Datenfolge der analogen Modulation eingeprägt.

20 In einem fünften Schritt S5 wird darauffolgend am Ausgang des Demodulators 8 des Empfängers der durch die analoge Modulation erzeugte Modulationshub ermittelt.

In einem sechsten Schritt S6 wird danach die Differenz zwischen dem Modulationshub des nominell eingestellten digitalen Modulationssignals und dem ermittelten Modulationshub des eingepprägten analogen Modulationssignals bestimmt.
25

Abschließend wird in einem siebten Schritt S7 die Amplitude des eingepprägten analogen Modulationssignals in Übereinstimmung mit der Differenz zwischen dem nominell eingestellten digitalen Modulationshub und dem ermittelten analogen Modulationshub korrigiert.
30

Mit dem beschriebenen Verfahren kann somit auf einfache Art und Weise eine quantitative Aussage über den auftretenden Fehler erhalten und ein geeigneter Korrekturwert durch einfache Differenzbildung bestimmt werden.

- 5 Wie vorstehend beschrieben wurde, wird bei einem Verfahren zum Amplitudenabgleich in Transceivern für Mobilfunksysteme mit einer nach dem Prinzip der Zwei-Punkt-Modulation arbeitenden PLL-Schaltung im Sender und einem nach dem Limiter-Diskriminator-Prinzip arbeitenden Empfänger die Amplitude eines analogen Modulationssignals entsprechend einem Modulationshub eines festgelegten digitalen Modulationssignals gewählt, eine vorbestimmte Datenfolge des analogen Modulationssignals eingepreßt, der Modulationshub des analogen Modulationssignals am Ausgang eines Demodulators des Empfängers ermittelt, und die Amplitude des analogen Modulationssignals in Übereinstimmung mit der Differenz zwischen dem Modulationshub des digitalen Modulationssignals und dem ermittelten Modulationshub des analogen Modulationssignals korrigiert.

Patentansprüche

1. Abgleichverfahren für einen Sender/Empfänger mit einer nach dem Prinzip der Zwei-Punkt-Modulation arbeitenden PLL-Schaltung (1 bis 6)

5 g e k e n n z e i c h n e t d u r c h

- das Wählen der Amplitude eines analogen Modulationssignals entsprechend dem Modulationshub eines festgelegten digitalen Modulationssignals;

10 - das Einprägen einer vorbestimmten Datenfolge des analogen Modulationssignals;

- das Ermitteln des Modulationshubs des analogen Modulationssignals an einem Ausgang des Empfängers (8); und

15 - das Korrigieren der Amplitude des analogen Modulationssignals in Übereinstimmung mit der Differenz zwischen dem Modulationshub des digitalen Modulationssignals und dem ermittelten Modulationshub des analogen Modulationssignals.

2. Verfahren nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t, daß

20 - die PLL-Schaltung (1 bis 6) vor einem Sendevorgang auf eine Kanalmittenfrequenz eingestellt wird.

3. Verfahren nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t, daß

25 - das digitale Modulationssignal während des Abgleichvorgangs deaktiviert wird.

4. Verfahren nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t, daß

30 - die vorbestimmte Datenfolge des analogen Modulationssignals an einem vorbestimmten Hochpaßpunkt (4) in den Vorwärtszweig der PLL-Schaltung (1 bis 6) eingeprägt wird.

5. Verfahren nach Anspruch 1,

35 d a d u r c h g e k e n n z e i c h n e t, daß

- das digitale Modulationssignal an einem vorbestimmten Tiefpaßpunkt (6) in den Rückführungszweig der PLL-Schaltung (1 bis 6) eingeprägt wird.

6. Verfahren nach Anspruch 5,

- 5 d a d u r c h g e k e n n z e i c h n e t, daß
- das digitale Modulationssignal in einen ersten Frequenzteiler (6) eingeprägt wird.

7. Verfahren nach einem der vorangehenden Ansprüche,

- 10 d a d u r c h g e k e n n z e i c h n e t, daß
- das Ausgangssignal der PLL-Schaltung (1 bis 6) in einen in einem aus dem Rückführungszweig abzweigenden Signalweg liegenden zweiten Frequenzteiler (7) geleitet wird.

15 8. Verfahren nach Anspruch 7,

- d a d u r c h g e k e n n z e i c h n e t, daß
- das Ausgangssignal der PLL-Schaltung (1 bis 6) in dem zweiten Frequenzteiler (7) geteilt und sodann als eines von Eingangssignalen dem Empfänger (8) zugeführt wird.

20

9. Verfahren nach einem der Ansprüche 6 bis 8,

- d a d u r c h g e k e n n z e i c h n e t, daß
- der Teilerwert (N_2) des zweiten Frequenzteilers (7) derart gewählt wird, daß die Ausgangsfrequenz des zweiten Frequenzteilers (7) der Zwischenfrequenz des Empfängers (8) entspricht.

25

10. Verfahren nach einem der Ansprüche 6 bis 8,

- d a d u r c h g e k e n n z e i c h n e t, daß
- 30 - als Teilerwert (N_2) des zweiten Frequenzteilers (7) ein ganzzahliger Wert gewählt wird.

11. Verfahren nach Anspruch 10,

- d a d u r c h g e k e n n z e i c h n e t, daß
- 35 - der ganzzahlige Wert derart gewählt wird, daß die Ausgangs-

200016194

13

frequenz des zweiten Frequenzteilers (7) in der Nähe der Zwischenfrequenz des Empfängers (8) zu liegen kommt.

Zusammenfassung

Abgleichverfahren für einen Transceiver mit Zwei-Punkt-Modulation

5

Bei einem Verfahren zum Amplitudenabgleich in Transceivern mit einer nach dem Prinzip der Zwei-Punkt-Modulation arbeitenden PLL-Schaltung wird die Amplitude eines analogen Modulationssignals entsprechend einem Modulationshub eines festgelegten digitalen Modulationssignals gewählt, eine vorbestimmte Datenfolge des analogen Modulationssignals eingeprägt, der Modulationshub des analogen Modulationssignals ermittelt, und die Amplitude des analogen Modulationssignals in Übereinstimmung mit der Differenz zwischen dem Modulationshub des digitalen Modulationssignals und dem ermittelten Modulationshub des analogen Modulationssignals korrigiert.

15

(Fig. 1 für die Zusammenfassung)

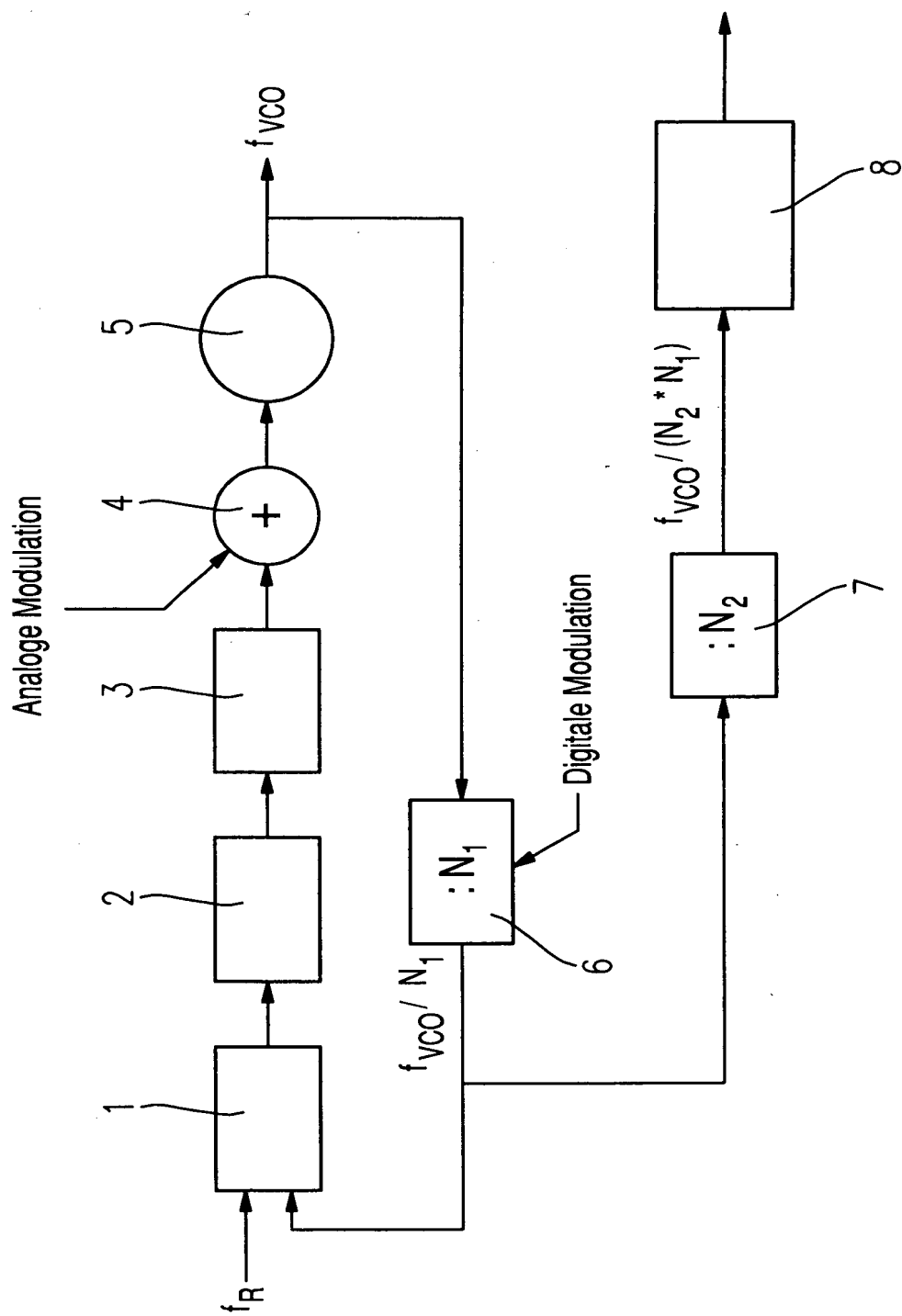


Fig. 1

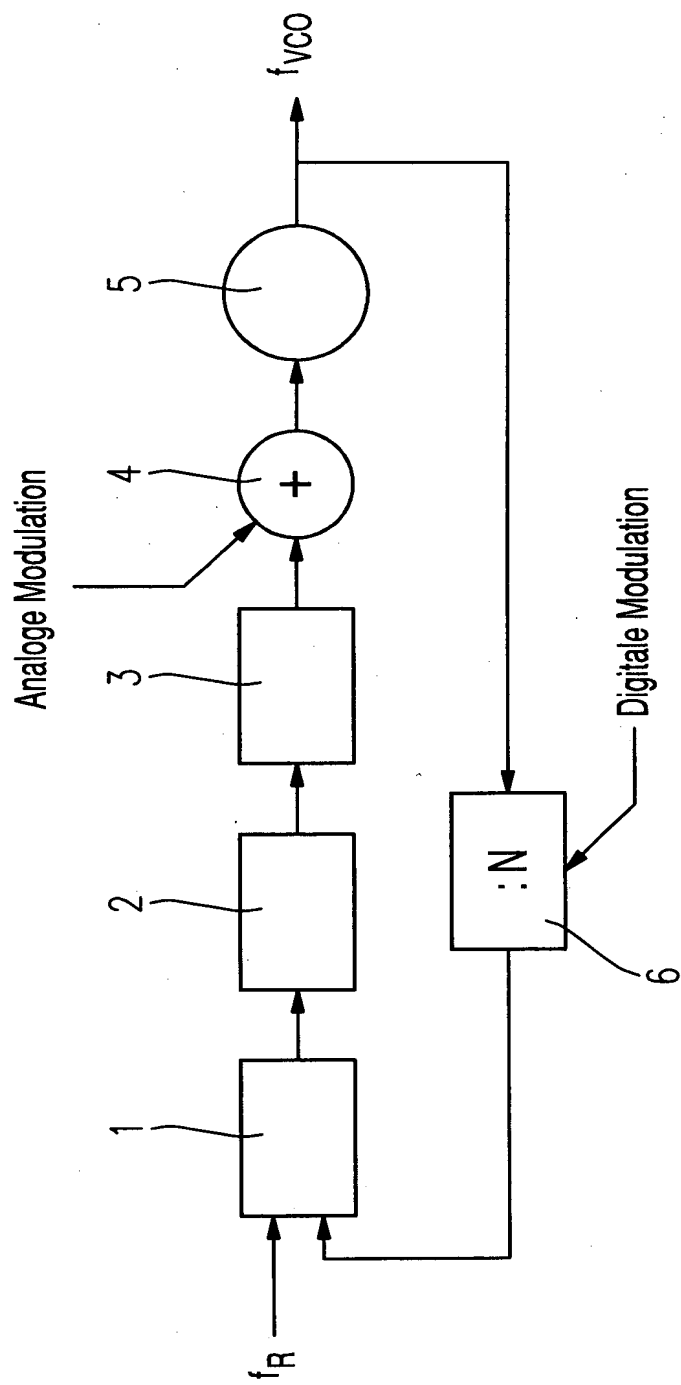


Fig. 3



Creation date: 08-13-2003
Indexing Officer: SLULSEGED1 - SENAYT LULSEGED
Team: OIPEScanning
Dossier: 10267118

Legal Date: 07-25-2003 ✓

| No. | Doccode | Number of pages |
|-----|----------------------|-----------------|
| 1 | LET. | 1 |
| 2 | GATH P. A | 1 |

Total number of pages: 2

Remarks:

Order of re-scan issued on